

#2/Priority
OK
4-12-02
11046 U.S. PTO
10/081661
02/22/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 25573 호
Application Number PATENT-2001-0025573

출원년월일 : 2001년 05월 10일
Date of Application MAY 10, 2001

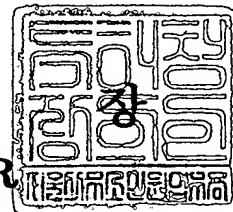
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 08 07
 년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2001.05.10
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 연결 배선 형성 방법
【발명의 영문명칭】	Method of manufacturing interconnection wire in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이수근
【성명의 영문표기】	LEE, Soo Geun
【주민등록번호】	670717-1929411
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 117동 1602호
【국적】	KR
【발명자】	
【성명의 국문표기】	신흥재
【성명의 영문표기】	SHIN, Hong Jae
【주민등록번호】	640212-1037320
【우편번호】	151-014

【주소】 서울특별시 관악구 신림4동 1715번지 우방아파트 103동 1001호
【국적】 KR
【발명자】
【성명의 국문표기】 이경우
【성명의 영문표기】 LEE, Kyoung Woo
【주민등록번호】 730807-1804827
【우편번호】 150-054
【주소】 서울특별시 영등포구 신길4동 삼성아파트 102동 202호
【국적】 KR
【발명자】
【성명의 국문표기】 김재학
【성명의 영문표기】 KIM, Jae Hak
【주민등록번호】 670507-1459912
【우편번호】 138-200
【주소】 서울특별시 송파구 문정동 62-5번지 현대아파트 1207호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 9 면 9,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 18 항 685,000 원
【합계】 723,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자의 연결 배선 형성 방법을 개시한다. 본 발명의 일 관점은, 반도체 기판 상에 형성된 하부 도전층 상에 제1식각 종료층을 형성한다. 제1식각 종료층 상에 제1층간 절연층을 형성하고, 제1층간 절연층 상에 제2식각 종료층을 형성한다. 제2식각 종료층 상에 제2층간 절연층을 형성한다. 제1식각 종료층을 식각 종료점으로 하여 제2층간 절연층, 제2식각 종료층 및 제1층간 절연층 순차적으로 식각하여 하부 도전층 상에 정렬되는 비아홀(via hole)을 형성한다. 비아홀 내에 비아홀의 바닥에 결과적으로 드러나는 제1식각 종료층 부분을 덮어 보호하는 보호층을 형성한다. 제2식각 종료층을 식각 종료점으로 하여 비아홀에 인접하는 제2층간 절연층 부분을 식각하여 비아홀에 연결되는 트렌치를 형성한다. 보호층을 제거한다. 비아홀의 바닥에 위치하는 제1식각 종료층 부분을 제거한다. 비아홀 및 트렌치를 채우며 하부 도전층에 전기적으로 연결되는 상부 도전층을 형성한다.

【대표도】

도 14

【명세서】**【발명의 명칭】**

반도체 소자의 연결 배선 형성 방법{Method of manufacturing interconnection wire in semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 5는 종래의 듀얼 다마신(dual damascene) 공정에 의한 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 6 내지 도 14는 본 발명의 실시예에 의한 반도체 소자의 연결 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 15는 본 발명의 실시예에 따라 NRD(Negative Resist Developer)에 의해서 에치 백(etch back)된 비유기계 SOD(Spin On Dielectric)층의 프로파일(profile)을 보여주는 주사 전자 현미경 사진이다.

<도면의 주요 부호에 대한 간략한 설명>

100: 반도체 기판, 200: 하부 절연층,
300: 하부 도전층, 410, 450: 식각 종료층,
510, 550: 층간 절연층, 610, 650: 식각 마스크,
710: 비아홀(via hole), 750: 트렌치(trench),
800: 보호층, 900: 상부 도전층.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히, 반도체 소자에 저유전물(low-k dielectric)을 채용할 때 반도체 소자의 연결 배선을 형성하는 방법에 관한 것이다.

<11> 배선의 RC 지연에 의한 반도체 소자의 속도 저하를 극복하기 위해서, 최근에, 구리(Cu) 배선을 반도체 소자에 채용하는 시도가 이루어지고 있고, 이와 함께, 저유전물 또는 낮은 유전 상수 k 유전물을 이러한 배선 간을 절연하는 절연층으로 채용하는 시도가 이루어지고 있다. 이때, 구리 배선의 패터닝은 듀얼 다마신(dual damascene) 공정으로 알려진 패터닝 방법에 의해서 이루어지고 있는 추세이다.

<12> 듀얼 다마신 공정을 실현하는 방법으로는 다양한 접근들이 제시되고 있으나, 적어도 이층 이상의 절연층들과 이들 절연층들의 계면 또는 절연층의 바닥면에 식각 종료층들을 도입하는 것을 기본적으로 포함하고 있다. 이러한 식각 종료층들은 배선에 형상을 부여하기 위한 트렌치(trench)들을 절연층 또는 절연층들에 형성할 때, 이러한 트렌치를 위한 식각 공정의 종료를 위해서 도입된다.

<13> 그런데, 이러한 배선 간을 절연하기 위해서 도입되는 절연층들을 상기한 바와 같이 저유전물로 형성할 경우에, 상기한 식각 공정에 대해서 식각 종료층과 이러한 절연층들 간의 식각 선택비가 열악한 결과가 얻어지고 있다. 이와 같이

식각 종료층과 상기한 저유전물 간의 식각 선택비가 열악한 결과는, 절연층들에 비아홀(via hole) 또는/및 트렌치를 형성하는 식각 공정에서 하부 막질 상을 덮고 있는 식각 종료층의 어느 하나를 과도한 소모시키는 결과를 유도할 수 있다.

<14> 예를 들어, 비아홀을 형성하는 식각 공정에서 하부의 배선을 덮는 식각 종료층이 과도하게 소모되어, 결국, 비아홀을 형성하는 식각 공정에 이어지는 트렌치를 형성하는 식각 공정에서 하부 배선의 상측 표면이 이러한 식각 공정에 의해서 노출되거나 이러한 식각 공정에 의해서 하부 배선의 상측 표면 등이 침해되는 원하지 않는 결과가 얻어질 수 있다. 즉, 듀얼 다마신 공정에 의해서 하부 배선이 손상 받는 원하지 않는 결과가 얻어질 수 있다.

<15> 도 1 내지 도 5는 종래의 듀얼 다마신 공정에 의한 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<16> 도 1을 참조하면, 반도체 기판(10) 상에 제1식각 종료층(40)을 형성하고, 제1층간 절연층(50)을 형성한다. 이때, 제1식각 종료층(40)은 하부 도전층(30) 상을 덮게 된다. 하부 도전층(30)은 하부 배선일 수 있으며, 하부 절연층(20)에 의해서 절연되고 있다. 이러한 하부 도전층(30)은 반도체 기판(10)에 준비되는 동작 소자 또는 트랜지스터 소자 등과 전기적으로 연결되도록 준비될 수 있다. 제1층간 절연층(50) 상에 제2식각 종료층(55)을 형성하고, 제2식각 종료층(45) 상에 제2층간 절연층(55)을 형성한다.

<17> 도 2를 참조하면, 제2층간 절연층(55) 상에 제1식각 마스크(60), 예컨대, 포토레지스트 패턴을 형성한 후, 이러한 제1식각 마스크(60)에 의해서 노출된 부분을 식각하여 비아홀(71)을 형성한다. 이때, 이러한 비아홀(71)을 위해서 수행

되는 식각 공정은 하부 도전층(30) 상에 위치하는 제1식각 종료층(40) 상에서 식각 종료되는 것이 바람직하다.

<18> 도 3을 참조하면, 비아홀(71)이 형성된 후, 패터닝된 제2층간 절연층(55) 상에 제2식각 마스크(65), 예컨대, 포토레지스트 패턴을 형성한다. 이러한 제2식각 마스크(65)가 노출하는 부분의 선폭은 제1식각 마스크(60)가 노출하는 부분의 선폭에 비해 넓은 것이 바람직하다.

<19> 도 4를 참조하면, 제2식각 마스크(65)를 마스크로 노출되는 제2층간 절연층(55) 부분을 식각하여 비아홀(71)에 연결되는 트렌치(trench:75)를 형성한다. 이를 위해서, 제2층간 절연층(55)을 패터닝하는 식각 공정은 제2식각 종료층(45)을 식각 종료점으로 이용하는 것이 바람직하다. 이러한 트렌치(75)를 위한 식각 공정은 비아홀(71)이 형성된 상태에서 수행되므로, 비아홀(71)에 의해서 상측 표면이 노출된 제1식각 종료층(40)에도 영향을 미치게 된다.

<20> 상기한 바와 같이 RC 지연 등을 극복하기 위해서 제1층간 절연층(50) 또는/및 제2층간 절연층(55)을 낮은 저유전물, 예컨대, 탄소가 도핑된 실리콘 산화물(SiO_2)과 같이 탄소가 도핑된 낮은 유전 상수 k 유전물(carbon doped low-k dielectric)로 형성할 경우에, 제1식각 종료층(40)으로 이용되는 실리콘 질화물(Si_3N_4) 또는 실리콘 탄화물(SiC)은 이러한 저유전물과 충분하지 못한 식각 선택비를 나타내는 결과가 발생할 수 있다. 이에 따라, 상기한 트렌치(75)를 위한 식각 공정에 의해서, 이미 노출되어 있는 제1식각 종료층(45) 부분이 모두 소모되어 제1식각 종료층(45)으로 보호되어 있어야 할 하부 도전층(30)의 상측 표면이 트렌치(75)를 위한 식각 공정에서 노출될 수 있다.

<21> 이와 같이 하부 도전층(30), 예컨대, 하부 구리(Cu) 배선이 노출되면, 이러한 하부 구리 배선이 손상 받게 된다. 보다 상세하게 설명하면, 트렌치(75)를 형성한 후, 제2식각 마스크(65)로 이용된 포토레지스트 패턴을 애싱(ashing) 및 스트립(strip) 등으로 제거하게 된다. 또한, 비아홀(71) 바닥에 제2식각 종료층(71)이 잔류할 경우 이를 제거하여 하부 도전층(30)을 오픈(open)시키게 된다. 이러한 애싱은 산소 플라즈마(plasma) 등을 이용하게 되는 데, 상기한 바와 같이 하부 구리 배선이 이미 노출되어 있으면, 이러한 산소 플라즈마 등에 의해서 크게 침해되게 된다. 이와 같이 하부의 구리 배선이 침해되면, 도 5에 도시된 바와 같이 트렌치(75) 및 비아홀(71)을 메우는 상부 도전층(80), 예컨대, 상부 구리 배선을 형성할 때, 상부 구리 배선과 하부 구리 배선 간의 접촉 불량 등이 발생할 수 있다.

<22> 이와 같이 듀얼 다마신 공정에 채용되는 절연층들과 식각 종료층과 식각 선택비의 열악함은 하부 배선을 손상시키는 등의 반도체 소자의 불량을 유도할 수 있으므로, 이를 극복하기 위한 시도가 이루어지고 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명이 이루고자 하는 기술적 과제는, 듀얼 다마신 공정을 수행할 때 비아홀 및 트렌치를 형성하는 공정에 의해서 하부 도전층이 손상되는 것을 방지할 수 있는 반도체 소자의 연결 배선 형성 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<24> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 관점은 다음의 단계들을 포함하는 반도체 소자의 연결 배선 형성 방법을 제공한다. 즉, 반도체 기판 상에 형성된 하부 도전층 상에 제1식각 종료층을 형성한다. 상기 제1식각 종료층 상에 제1층간 절연층을 형성하고, 상기 제1층간 절연층 상에 제2식각 종료층을 형성한다. 상기 제2식각 종료층 상에 제2층간 절연층을 형성한다. 상기 제1식각 종료층을 식각 종료점으로 하여 상기 제2층간 절연층, 상기 제2식각 종료층 및 상기 제1층간 절연층 순차적으로 식각하여 상기 하부 도전층 상에 정렬되는 비아홀을 형성한다. 상기 비아홀 내에 상기 비아홀의 바닥에 결과적으로 드러나는 상기 제1식각 종료층 부분을 덮어 보호하는 보호층을 형성한다. 상기 제2식각 종료층을 식각 종료점으로 하여 상기 비아홀에 인접하는 상기 제2층간 절연층 부분을 식각하여 상기 비아홀에 연결되는 트렌치를 형성한다. 상기 보호층을 제거한다. 상기 비아홀의 바닥에 위치하는 상기 제1식각 종료층 부분을 제거한다. 상기 비아홀 및 상기 트렌치를 채우며 상기 하부 도전층에 전기적으로 연결되는 상부 도전층을 형성한다.

<25> 여기서, 상기 하부 도전층 또는 상기 상부 도전층은 구리층을 포함하여 이루어질 수 있다.

<26> 상기 제1식각 종료층 또는/ 및 제2식각 종료층은 실리콘 질화물층 또는 실리콘 탄화물층으로 이루어질 수 있다.

<27> 상기 제1층간 절연층 또는/ 및 제2층간 절연층은 탄소가 도핑된 실리콘 산화물(SiO_C)과 같은 저유전물(low-k dielectric)로 이루어질 수 있다.

- <28> 상기 보호층은 HSQ(HydroSilisesQuioxane)층과 같은 비유기계 SOD(Spin On Dielectric)층을 포함하여 이루어질 수 있다.
- <29> 상기 보호층을 형성하는 단계는 상기 제2층간 절연층 상에 상기 비아홀을 채우는 상기 보호층을 형성하는 단계와, 상기 보호층을 에치 백하여 상기 보호층의 상측 표면이 상기 제2층간 절연층의 상측 표면보다 낮게 하는 단계를 포함하여 이루어질 수 있다. 여기서, 상기 에치 백은 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide) 수용액 등을 포함하는 레지스트 현상액(resist developer)을 이용하는 습식 식각으로 수행될 수 있다. 또는, 상기 에치 백은 희석된 HF 용액을 이용하는 습식 식각으로 수행될 수 있다.
- <30> 상기 보호층을 제거하는 단계는 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide) 수용액 등을 포함하는 레지스트 현상액(resist developer)을 이용하는 습식 식각으로 수행될 수 있다. 또는, 상기 보호층을 제거하는 단계는 희석된 HF 용액을 이용하는 습식 식각으로 수행될 수 있다.
- <31> 본 발명에 따르면, 듀얼 다마신 공정으로 반도체 소자의 연결 배선을 형성할 때 하부 도전층이 손상되는 것을 방지할 수 있다.
- <32> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소

의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 '상'에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<33> 본 발명의 실시예에서는 듀얼 다마신 공정을 이용하여 연결 배선을 형성할 때, 하부 도전층 또는 하부 배선을 충분히 보호하여 듀얼 다마신 공정 중에 하부 배선 또는 하부 도전층이 손상되는 것을 효과적으로 방지하는 방안을 제시한다. 구체적으로, 비아홀을 형성한 후 잔류하는 식각 종료층이 충분히 하부 도전층 또는 하부 배선을 보호할 수 있도록, 상기한 식각 종료층을 보호하는 보호층을 도입한다. 이러한 보호층은 비유기계의 SOD(non organic family Spin On Dielectric)이 바람직하다. 이러한 비유기계의 SOD를 보호층으로 도입하는 것은, 이러한 보호층의 도입이 층간 절연층으로 이용되는 저유전물에 영향을 미치는 것을 방지하는 효과를 이끌어낼 수 있다.

<34> 도 6 내지 도 14는 본 발명의 실시예에 의한 반도체 소자의 연결 배선 형성 방법을 설명하기 위해서 공정 흐름에 따라 개략적으로 도시한 단면도들이다.

<35> 도 6은 반도체 기판(100) 상에 층간 절연층들(510, 550)을 형성하는 단계를 개략적으로 나타낸다.

<36> 구체적으로, 반도체 기판(100) 상에 제1식각 종료층(410)을 형성하고, 그 상에 제1층간 절연층(510)을 형성한다. 이때, 제1식각 종료층(410)은 하부 도전층(300) 상을 덮게 된다. 하부 도전층(300)은 하부 배선일 수 있고, 또는, 반도체

체 기판(100)의 도전 영역일 수도 있다. 이러한 하부 도전층(300)은 실리콘 산화물 등으로 이루어진 하부 절연층(200)에 의해서 절연된다. 이러한 하부 도전층(300)은 반도체 기판(100)에 준비되는 동작 소자 또는 트랜지스터 소자 등과 전기적으로 연결되도록 준비될 수 있다. 하부 도전층(300)은 다양한 종류의 금속층을 포함할 수 있으나, 바람직하게 구리층을 포함하여 이루어진다.

<37> 이러한 하부 도전층(300)을 덮는 제1식각 종료층(410)은 상기한 제1층간 절연층(510) 등을 패터닝하는 후속의 식각 공정에서 식각 종료점으로 이용된다. 따라서, 제1층간 절연층(510) 등을 이루는 물질과 우수한 식각 선택비를 갖는 물질로 형성된다. 예를 들어, 실리콘 산화물 등과 우수한 식각 선택비를 갖는 실리콘 탄화물(SiC) 또는 실리콘 질화물(SiN) 등으로 제1식각 종료층(410)을 형성한다.

<38> 이러한 제1식각 종료층(410) 상에 제1층간 절연층(510)을 형성한다. 이러한 제1층간 절연층(510)은 배선으로 이용될 도전층들 간을 절연시키는 작용을 할 수 있다. 이러한 제1층간 절연층(510)은 다양한 실리콘 산화물계 절연 물질로 형성될 수 있으나, RC 지연 등과 같은 반도체 소자의 고속 동작을 저해하는 요소를 극복하기 위해서 낮은 유전율의 절연 물질, 예컨대, 저유전물로 형성되는 것이 바람직하다. 제1층간 절연층(510)은, 예를 들어, 탄소가 도핑된 실리콘 산화물(SiOC) 등으로 형성될 수 있다.

<39> 제1층간 절연층(510) 상에 제2식각 종료층(450)을 형성하고, 그 상에 제2층간 절연층(550)을 형성한다. 이러한 제2식각 종료층(450)은 상기한 제2층간 절연층(550)을 패터닝하는 후속의 식각 공정에서 식각 종료점으로 이용된다. 따라서,

제2층간 절연층(550) 등을 이루는 물질과 우수한 식각 선택비를 갖는 물질로 형성된다. 예를 들어, 실리콘 산화물 등과 우수한 식각 선택비를 갖는 실리콘 탄화물(SiC) 또는 실리콘 질화물(SiN) 등으로 제2식각 종료층(450)을 형성한다.

<40> 이러한 제2식각 종료층(450) 상에 제2층간 절연층(550)을 형성한다. 이러한 제2층간 절연층(550)은 제1층간 절연층(510)과 함께 배선으로 이용될 도전층들 간을 절연시키는 작용을 할 수 있다. 이러한 제2층간 절연층(550)은 다양한 실리콘 산화물계 절연 물질로 형성될 수 있으나, RC 지연 등과 같은 반도체 소자의 고속 동작을 저해하는 요소를 극복하기 위해서 낮은 유전율의 절연 물질, 예컨대, 낮은 유전 상수 k 유전물로 형성되는 것이 바람직하다. 제1층간 절연층(510)은, 예를 들어, 탄소가 도핑된 실리콘 산화물(SiOC) 등으로 형성될 수 있다.

<41> 도 7은 하부 도전층(300)에 정렬되는 비아홀(710)을 형성하는 단계를 개략적으로 나타낸다.

<42> 구체적으로, 제2층간 절연층(550) 상에 제1식각 마스크(610), 예컨대, 포토 레지스트 패턴을 형성한 후, 이러한 제1식각 마스크(610)에 의해서 노출된 제2층간 절연층(550) 부분을 식각한다. 이러한 식각 공정은 제2층간 절연층(550) 하부의 제2식각 종료층(450) 및 제1층간 절연층(510)을 계속하여 식각한 후, 제1식각 종료층(450)을 식각 종료점으로 하여 종료된다. 이와 같이 식각 공정을 수행함으로써, 하부 도전층(300) 상에 정렬되는 비아홀(710)을 형성한다.

<43> 이러한 비아홀(710)을 형성하는 식각 공정은 실리콘 산화물을 식각하는 데 이용되는 건식 식각 공정으로 수행될 수 있다. 예를 들어, $C_xF_yH_z$ (x, y, z 는 임의의 정

수) 제열의 가스를 포함하는 반응 가스를 이용한 건식 식각으로 비아홀(710)을 형성할 수 있다. 이때, 반응 가스에는 산소 가스(O_2), 질소 가스(N_2) 또는/ 및 아르곤 가스(Ar) 등이 더 포함될 수 있다.

<44> 이때, 하부 도전층(300)을 덮는 제1식각 종료층(450)은 하부 도전층(300)의 상측 표면을 노출시키지 않도록 충분한 두께가 잔류하여, 후속되는 공정으로부터 하부 도전층(300)이 손상되지 않도록 보호하는 것이 바람직하다. 그럼에도 불구하고, 제1식각 종료층(410)과 층간 절연층들(510, 550)과의 식각 선택비가 충분히 높지 않으면, 비아홀(710)을 형성하는 식각 공정에서 제1식각 종료층(410)이 일부 소모되는 것을 회피하기가 어렵다. 이에 따라, 제1식각 종료층(410)이 다소 리세스(recess)될 수 있다.

<45> 이후에, 제1식각 마스크(610)로 이용된 포토레지스트 패턴을 애싱 등으로 제거한다.

<46> 도 8은 비아홀(710)을 채우는 보호층(800)을 형성하는 단계를 개략적으로 나타낸다.

<47> 구체적으로, 비아홀(710)을 채우는 보호층(800)을 제2층간 절연층(550) 상에 형성한다. 이러한 보호층(800)은 후속의 공정에서 제1식각 종료층(410)이 소모되어 하부 도전층(300)의 상측 표면이 노출되는 것을 방지하는 역할을 한다. 이러한 보호층(800)으로는 다양한 물질을 이용할 수 있으나, 본 발명의 실시예에서는 비유기계 SOD를 이용하여 보호층(800)을 형성한다. 예를 들어, HSQ(Hydro

silisesquioxane)으로 보호층(800)을 형성한다. 이러한 HSQ층은 도포 후, 소프트 베이킹(soft bake)하는 것이 바람직하다. 예를 들어, 대략 200℃ 내지 400℃ 이하의 범위의 온도에서 HSQ층을 대략 1분 내지 5분 정도 소프트 베이킹한다. 이러한 소프트 베이킹 이후에 대략 400℃ 또는 그 이상의 온도에서 수행되는 하드 베이킹(hard bake)를 추가로 수행할 수도 있다.

<48> 이러한 보호층(800)을 HSQ와 같은 비유기계 SOD로 형성하는 것은, 이러한 보호층(800)을 에치 백(etch back)하는 공정 등에서 층간 절연층들(510, 550)에 이용된 SiOC가 손상되는 것을 방지하기 위해서이다. 보호층(800)의 에치 백은 후속의 식각 공정에 요구되는 포토레지스트 패턴 등을 위해서, 보호층(800)을 비아 홀(710) 내로 한정하기 위해서이다. 이에 대해서는 이후에 상세하게 설명한다.

<49> 이러한 보호층(800)으로 ARC(AntiReflective Coating) 물질과 같은 유기 물질을 이용할 수도 있으나, 이러한 ARC 물질로 보호층(800)을 형성할 경우 여러 가지 문제가 발생될 소지가 있다. 예를 들어, ARC층이 패턴의 밀도에 영향을 극심하게 받아 그 두께가 쉽게 불균일해질 수 있는 원하지 않는 단점이 야기될 수 있다. 또한, 이러한 ARC층의 불균일을 개선하기 위해서 ARC층을 에치 백하는 공정을 수행하면, 이러한 에치 백 공정이 산소 플라즈마 등을 이용하는 건식 공정으로 수행될 수 있으므로, 이에 의해서 SiOC로 이루어진 층간 절연층들(510, 550)이 손상될 수 있다. 그러나, 본 발명의 실시예에서는 보호층(800)이 비유기계 SOD로 이루어지므로 이러한 층간 절연층(510, 550)의 손상을 방지할 수 있다.

<50> 도 9는 보호층(800)을 비아홀(710) 내로 에치 백하는 단계를 개략적으로 나타낸다.

<51> 구체적으로, 보호층(800)을 에치 백하여 비아홀(710) 내로 한정시킨다. 이에 따라, 보호층(800)의 상측 표면은 제2층간 절연층(550)의 상측 표면에 비해 낮아지게 된다. 이러한 에치 백은, 에치 백이 수행되는 동안 제2층간 절연층(550) 등이 손상되는 것을 방지하기 위해서, 제2층간 절연층(550)에 대해 우수한 식각 선택비를 가질 수 있는 습식 식각으로 수행되는 것이 바람직하다. 예를 들어, NRD(Negative Resist Developer)와 같은 현상액을 이용하는 습식 식각으로 에치 백을 수행할 수 있다. 이때, NRD는 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide) 수용액을 포함할 수 있으며, 테트라메틸 암모늄 하이드록사이드는 수용액 내에 무게 백분율로 대략 2wt% 정도 함유될 수 있다.

<52> 이러한 NRD 등을 이용한 에치 백에 의해서 보호층(800)은 비아홀(710) 내로 한정될 수 있으며, 이에 따라, 보호층(800)의 상측 표면은 제2층간 절연층(550)의 상측 표면에 비해 낮아지게 된다. 이때, 에치 백된 보호층(800)은 비교적 일정한 두께로 잔류될 수 있는 장점을 가질 수 있다. 이러한 점은 에치 백된 보호층(800)의 실제 프로파일(profile)을 보여주는 도 15에 의해서 확인될 수 있다. 도 15는 이러한 NRD를 이용하여 보호층(800)으로 이용된 HSQ층을 에치 백한 결과를 보여주는 주사 전자 현미경(SEM) 사진이다. 도 15에서 알 수 있듯이, 에치 백된 보호층(800)으로 이용된 HSQ층은 일정한 두께를 가지게 된다. 이러한 점은 후속의 사진 식각 공정에 유리하게 작용할 수 있다.

<53> 한편, 이러한 보호층(800)의 에치 백에 HF를 포함하는 수용액을 이용할 수 있다. 90초간 1/500으로 희석한 HF 수용액에 식각된 HSQ의 두께는 대략 470Å으로, 층간 절연층들(510, 550)로 이용된 SiOC이 이러한 HF 수용액에 의해서 식각된 양은 대략 15Å 내지 31Å 정도로 나타난다. 따라서, 이러한 HF 수용액을 이용하여도 층간 절연층들(510, 550)에 손상을 방지하며 이러한 보호층(800)의 에치 백을 수행할 수 있다. 이때, HF 수용액에 의한 HSQ의 식각 속도가 상기한 바와 같이 매우 빠르므로, HSQ의 식각 속도의 원활한 제어를 위해서는 HF 수용액의 희석비는 1/500 이상으로 하는 것이 바람직하다.

<54> 도 10은 제2층간 절연층(550) 상에 제2식각 마스크(650)를 형성하는 단계를 개략적으로 나타낸다.

<55> 구체적으로, 비아홀(710)이 형성된 제2층간 절연층(550) 상에 제2식각 마스크(650), 예컨대, 포토레지스트 패턴을 형성한다. 이러한 제2식각 마스크(650)가 노출하는 부분의 선평은 제1식각 마스크(610)가 노출하는 부분의 선평에 비해 넓은 것이 바람직하다. 제2식각 마스크(650)는 비아홀(710)에 인접하는 패턴닝된 제2층간 절연층(550)의 에지(edge) 부위 및 이러한 에지 부위에 인접한 상측 표면 부분을 포함하여 제2층간 절연층(550)의 일부를 노출한다. 이때, 제2식각 마스크(650)에 의해서 노출되는 부분은 비아홀(710)을 포함하도록 한다.

<56> 도 11은 제2식각 마스크(650)에 의해서 노출되는 제2층간 절연층(550)을 식각하여 트렌치(750)를 형성하는 단계를 개략적으로 나타낸다.

<57> 구체적으로, 제2식각 마스크(650)를 마스크로 노출된 제2층간 절연층(550) 부분을 식각하여 비아홀(710)에 연결되는 트렌치(750)를 형성한다. 제2층간 절연

층(550)을 패터닝하는 식각 공정은 제2식각 종료층(450)을 식각 종료점으로 이용하는 것이 바람직하다. 이러한 트렌치(750)를 위한 식각 공정은 비아홀(710)이 형성된 상태에서 수행되지만, 보호층(800)에 의해서 제1식각 종료층(400)이 보호되고 있으므로 이러한 식각 공정에 의해서 제1식각 종료층(400)이 소모되는 것을 방지할 수 있다. 이러한 식각 공정에 의해서 보호층(800)은 일부 소모될 수 있으나, 보호층(800)에 의해서 보호되고 있는 제1식각 종료층(410)은 이러한 식각 공정으로부터 소모되지 않는다.

<58> 한편, 상기한 트렌치(750)를 형성하는 식각 공정은 실리콘 산화물을 식각하는 데 이용되는 건식 식각 공정으로 수행될 수 있다. 예를 들어, $C_xF_yH_z$ (x, y, z 는 임의의 정수) 계열의 가스를 포함하는 반응 가스를 이용한 건식 식각으로 비아홀(710)을 형성할 수 있다. 이때, 반응 가스에는 산소 가스(O_2), 질소 가스(N_2) 또는/ 및 아르곤 가스(Ar) 등이 더 포함될 수 있다.

<59> 이후에, 제2식각 마스크(650)로 이용된 포토레지스트 패턴을 제거한다. 이러한 포토레지스트 패턴은 애싱 및 이에 따른 스트립 등으로 제거될 수 있다. 이때, 하부 도전층(300)은 제1식각 종료층(410) 등에 의해서 충분히 보호되어 이러한 포토레지스트 패턴을 제거하는 애싱 등의 공정에 노출되지 않으므로, 이러한 애싱 등의 공정에 의해서 손상되는 것이 방지된다.

<60> 도 12는 잔류하는 보호층(800)을 제거하는 단계를 개략적으로 나타낸다.

<61> 구체적으로, 잔류하는 보호층(800)을 HF를 포함하는 수용액을 이용하여 제거

한다. 1/500으로 희석된 HF 수용액으로 90초간, 보호층(800)으로 채용되는 HSQ층을 스트립하면, HSQ층은 상기한 90초간 대략 470Å 정도의 두께가 제거될 수 있다. 이에 반해, 이러한 1/500으로 희석된 HF 수용액에 대해서 층간 절연층들(510, 550)을 이루는 SiOC는 상기한 90초 동안 대략 15Å 내지 31Å 정도 제거될 뿐이다. 따라서, 이러한 보호층(800)을 이루는 HSQ층을 제거하는 공정에 의해서, 층간 절연층들(510, 550)로 이루어진 비아홀(710) 및 트렌치(750)의 측벽이 손상 받는 것은 최소화될 수 있다. 또한, 이러한 1/500으로 희석된 HF 수용액에 대해서, 제1식각 종료층(410)을 이룰 수 있는 SiC층은 상기한 90초 동안 대략 13Å 정도의 제거될 뿐이어서, 이러한 보호층(800)을 제거하는 공정에 의해서 제1식각 종료층(410)이 소모되는 것을 최소화할 수 있다.

<62> 또한, 이러한 보호층(800)의 제거에는 NRD와 같은 현상액을 이용하는 습식 식각으로 에치 백을 수행할 수 있다. 이때, NRD는 테트라메틸 암모늄 하이드록사이드 수용액을 포함할 수 있으며, 테트라메틸 암모늄 하이드록사이드는 수용액 내에 무게 백분율로 대략 2wt% 정도 함유될 수 있다. 이러한 NRD 등에 의한 잔류하는 보호층(800)의 제거가 가능한 것은, NRD가 선택적으로 보호층(800)으로 이용될 수 있는 HSQ를 양호하게 제거할 수 있다는 점을 시사하는 도 15에 제시된 바에 의해서 입증된다.

<63> 도 13은 비아홀(710) 바닥에 노출된 잔류하는 제1식각 종료층(410) 부분을 제거하는 단계를 개략적으로 나타낸다.

<64> 구체적으로, 비아홀(710)의 바닥에 잔류하는 제1식각 종료층(410) 부분을 제

거하여, 하부 도전층(300)의 상측 표면을 노출한다. 이러한 잔류하는 제1식각 종료층(410) 부분의 식각은 건식 식각 공정으로 수행될 수 있다. 예를 들어, $C_xF_yH_z$ (x, y, z 는 임의의 정수) 계열의 가스를 포함하는 반응 가스를 이용한 건식 식각으로 잔류하는 제1식각 종료층(410)을 제거할 수 있다. 이때, 반응 가스에는 산소 가스(O_2), 질소 가스(N_2) 또는/ 및 아르곤 가스(Ar) 등이 더 포함될 수 있다.

<65> 이러한 노출되는 하부 도전층(300)의 상측 표면은 트렌치(750) 및 비아홀(710)을 형성하는 식각 공정에서 보호되어 왔으므로, 손상 입지 않은 양호한 상태이다.

<66> 도 14는 비아홀(710) 및 트렌치(750)를 채우는 상부 도전층(900)을 형성하는 단계를 개략적으로 나타낸다.

<67> 구체적으로, 제2층간 절연층(550) 상에 도전층을 형성한 후, 이러한 도전층을 평탄화하여 비아홀(710) 및 트렌치(750)를 채우는 상부 도전층(900)을 형성한다. 이러한 상부 도전층(900)은 다양한 도전 물질로 형성될 수 있으나, 구리를 포함하여 형성되는 것이 바람직하다. 상기한 평탄화는 에치 백이나 CMP(Chemical Mechanical Polishing) 등과 같은 평탄화 방법으로 수행될 수 있다.

<68> 이러한 구리층 등으로 이루어지는 상부 도전층(900)은 하부 도전층(300)과 전기적으로 연결되어 배선으로의 역할을 하게 된다. 이때, 하부 도전층(300)은 상기한 바와 같이 상측 표면이 양호한 상태를 가질 수 있으므로, 상부 도전층(900)과의 양호한 전기적인 연결을 이룰 수 있다.

<69> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<70> 상술한 본 발명에 따르면, 듀얼 다마신 공정으로 반도체 소자의 연결 배선을 형성할 때, 연결 배선을 위한 비아홀 또는/및 트렌치를 형성하는 공정 등에 의해서 하부 도전층이 손상되는 것을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 형성된 하부 도전층 상에 제1식각 종료층을 형성하는 단계;

상기 제1식각 종료층 상에 제1층간 절연층을 형성하는 단계;

상기 제1층간 절연층 상에 제2식각 종료층을 형성하는 단계;

상기 제2식각 종료층 상에 제2층간 절연층을 형성하는 단계;

상기 제1식각 종료층을 식각 종료점으로 하여 상기 제2층간 절연층, 상기 제2식각 종료층 및 상기 제1층간 절연층 순차적으로 식각하여 상기 하부 도전층 상에 정렬되는 비아홀을 형성하는 단계;

상기 비아홀 내에 상기 비아홀의 바닥에 결과적으로 드러나는 상기 제1식각 종료층 부분을 덮어 보호하는 보호층을 형성하는 단계;

상기 제2식각 종료층을 식각 종료점으로 하여 상기 비아홀에 인접하는 상기 제2층간 절연층 부분을 식각하여 상기 비아홀에 연결되는 트렌치를 형성하는 단계;

상기 보호층을 제거하는 단계;

상기 비아홀의 바닥에 위치하는 상기 제1식각 종료층 부분을 제거하는 단계; 및

상기 비아홀 및 상기 트렌치를 채우며 상기 하부 도전층에 전기적으로 연결되는 상부 도전층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 2】

제1항에 있어서, 상기 하부 도전층은 구리층을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 3】

제1항에 있어서, 상기 제1식각 종료층은 실리콘 질화물층 또는 실리콘 탄화물층으로 이루어진 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 4】

제1항에 있어서, 상기 제1층간 절연층은 저유전물로 이루어지는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 5】

제4항에 있어서, 상기 저유전물은 탄소가 도핑된 실리콘 산화물(SiO_2)인 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 6】

제1항에 있어서, 상기 제2식각 종료층은
실리콘 질화물층 또는 실리콘 탄화물층으로 이루어진 것을 특징으로 하는
반도체 소자의 연결 배선 형성 방법.

【청구항 7】

제1항에 있어서, 상기 제2층간 절연층은
저유전물로 이루어지는 것을 특징으로 하는 반도체 소자의 연결 배선 형성
방법.

【청구항 8】

제7항에 있어서, 상기 저유전물은
탄소가 도핑된 실리콘 산화물(SiO_2C)인 것을 특징으로 하는 반도체 소자의
연결 배선 형성 방법.

【청구항 9】

제1항에 있어서, 상기 보호층은
비유기계 SOD(Spin On Dielectric)층을 포함하여 이루어진 것을 특징으로
하는 반도체 소자의 연결 배선 형성 방법.

【청구항 10】

제9항에 있어서, 상기 비유기계 SOD층은
HSQ(HydroSilisesQuioxane)층인 것을 특징으로 하는 반도체 소자의 연결 배
선 형성 방법.

【청구항 11】

제1항에 있어서, 상기 보호층을 형성하는 단계는

상기 제2층간 절연층 상에 상기 비아홀을 채우는 상기 보호층을 형성하는 단계; 및

상기 보호층을 에치 백하여 상기 보호층의 상측 표면이 상기 제2층간 절연층의 상측 표면보다 낮게 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 12】

제11항에 있어서, 상기 에치 백은

레지스트 현상액(resist developer)을 이용하는 습식 식각으로 수행되는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 13】

제12항에 있어서, 상기 현상액은

테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide) 수용액을 포함하는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 14】

제11항에 있어서, 상기 에치 백은

희석된 HF 용액을 이용하는 습식 식각으로 수행되는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 15】

제1항에 있어서, 상기 보호층을 제거하는 단계는

레지스트 현상액(resist developer)을 이용하는 습식 식각으로 수행되는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 16】

제15항에 있어서, 상기 현상액은

테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide) 수용액을 포함하는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【청구항 17】

제1항에 있어서, 상기 보호층을 제거하는 단계는

희석된 HF 용액을 이용하는 습식 식각으로 수행되는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

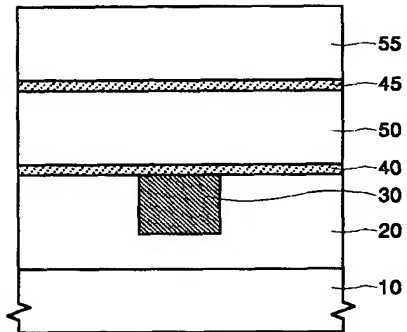
【청구항 18】

제1항에 있어서, 상기 상부 도전층은

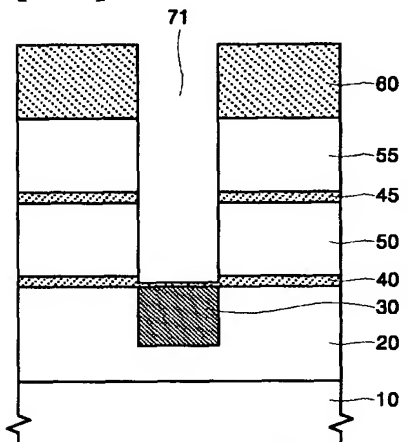
구리층을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 연결 배선 형성 방법.

【도면】

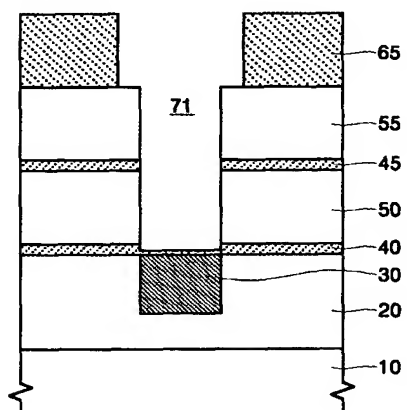
【도 1】



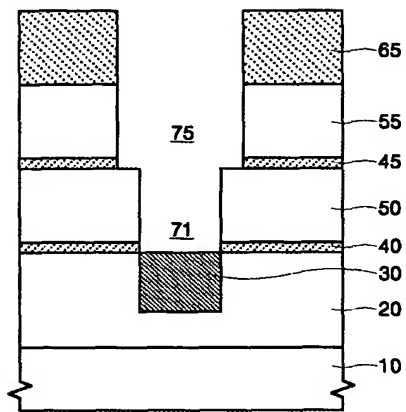
【도 2】



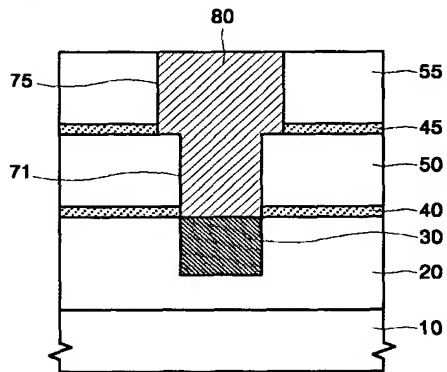
【도 3】



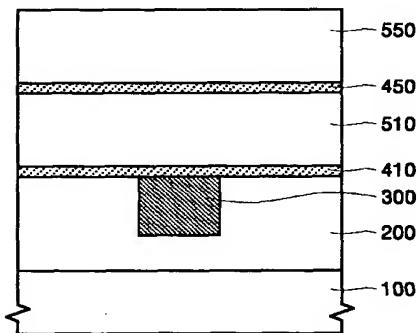
【도 4】



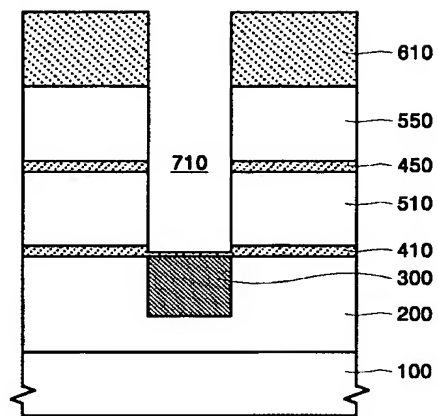
【도 5】



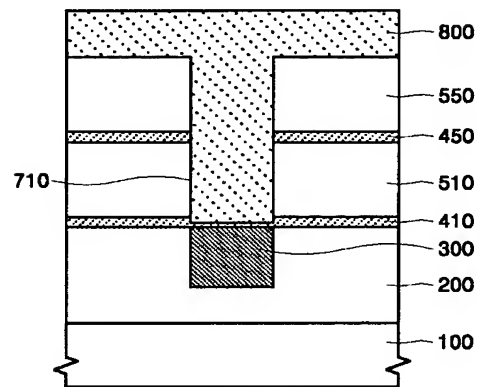
【도 6】



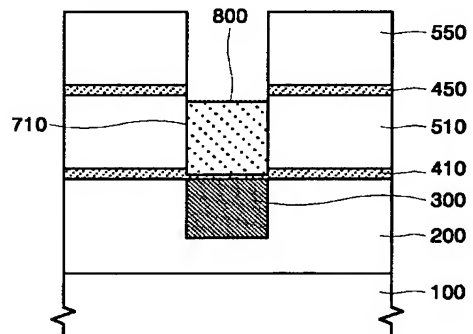
【도 7】



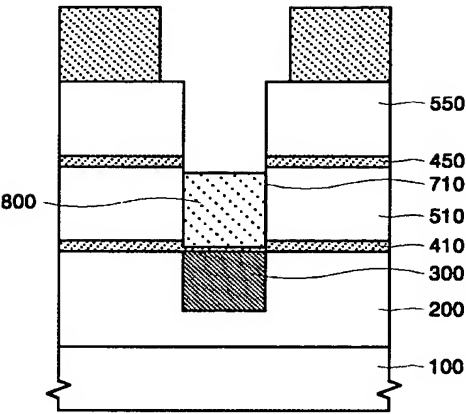
【도 8】



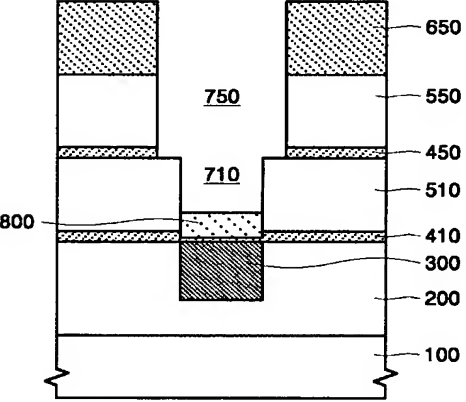
【도 9】



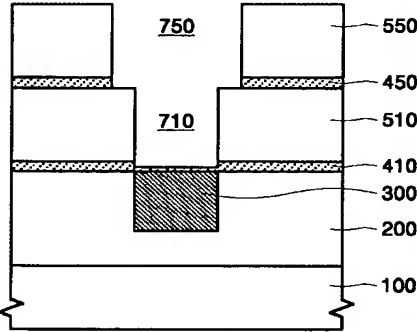
【도 10】



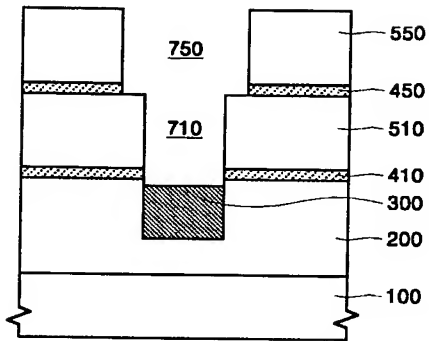
【도 11】



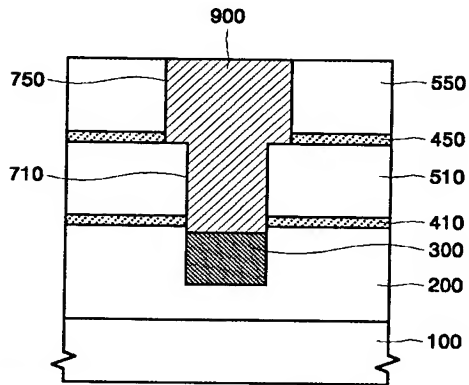
【도 12】



【도 13】



【도 14】



【도 15】

